

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JIN-HONG AHN, ET AL.

Application No.:

Filed:

For: **APPARATUS AND METHOD OF
DRIVING NON-VOLATILE DRAM**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	10-2003-0058300	22 August 2003
Republic of Korea	10-2003-0064354	17 September 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



Farzad E. Amini, Reg. No. 42,261



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0064354
Application Number

출원 년 월 일 : 2003년 09월 17일
Date of Application SEP 17, 2003

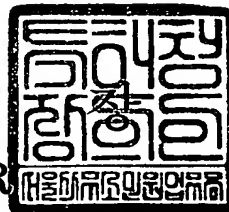
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.17
【발명의 명칭】	불휘발성 다이내믹 랜덤 액세스 메모리 구동 회로 및 방법
【발명의 영문명칭】	DRIVING CIRCUIT FOR NON VOLATILE DYNAMIC RANDOM ACCESS MEMORY AND ITS METHOD
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	안진홍
【성명의 영문표기】	AHN, Jin Hong
【주민등록번호】	581124-1110419
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 130-1 영풍아파트 101-1408
【국적】	KR
【발명자】	
【성명의 국문표기】	홍상훈
【성명의 영문표기】	HONG, Sang Hoon
【주민등록번호】	700930-1064113
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 청구아파트 101-1302
【국적】	KR
【발명자】	
【성명의 국문표기】	박영준
【성명의 영문표기】	PARK, Young June
【주민등록번호】	521117-1119812

【우편번호】	151-080
【주소】	서울특별시 관악구 남현동 602-63 금호파크 202
【국적】	KR
【발명자】	
【성명의 국문표기】	이상돈
【성명의 영문표기】	LEE, Sang Don
【주민등록번호】	590923-1056030
【우편번호】	471-030
【주소】	경기도 구리시 수택동 금호2차아파트 505-102
【국적】	KR
【발명자】	
【성명의 국문표기】	김일욱
【성명의 영문표기】	KIM, Yil Wook
【주민등록번호】	591004-1018012
【우편번호】	138-160
【주소】	서울특별시 송파구 가락2동 140 쌍용아파트 303-1305
【국적】	KR
【발명자】	
【성명의 국문표기】	배기현
【성명의 영문표기】	BAE, Gi Hyun
【주민등록번호】	581116-1691616
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 신화아파트 501-904
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2003-0058300
【출원일자】	2003.08.22
【증명서류】	첨부
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	26	면	26,000	원
---------	----	---	--------	---

【우선권주장료】	1	건	26,000	원
----------	---	---	--------	---

【심사청구료】	43	항	1,485,000	원
---------	----	---	-----------	---

【합계】	1,566,000	원		
------	-----------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플레이트에 상이한 전압을 인가함으로써 낮은 내부전압으로 구동할 수 있는 불휘발성 디램 구동 회로 및 그의 구동방법을 제공함을 목적으로 한다.

상기 목적을 달성하기 위한 본 발명의 불휘발성 다이나믹 랜덤 액세스 메모리 어레이 구동 회로는, 불휘발성 다이나믹 랜덤 액세스 메모리 어레이를 구동함에 있어서, 외부 전원을 입력받아 상이한 복수의 내부 전압을 발생하기 위한 내부 전원 발생 수단; 상기 불휘발성 다이나믹 랜덤 액세스 메모리의 워드 라인측과 커패시터 플레이트 라인측에 복수의 전압이 인가되도록 상기 복수의 내부 전압을 스위칭하기 위한 스위칭 수단; 및 상기 스위칭 수단의 스위칭을 제어하기 위한 모드 제어 수단을 포함할 수 있다.

【대표도】

도 4

【색인어】

불휘발성 디램, 구동, 프로그램, 리콜, 정상화, 문턱전압

【명세서】

【발명의 명칭】

불휘발성 다이내믹 랜덤 액세스 메모리 구동 회로 및 방법{DRIVING CIRCUIT FOR NON VOLATILE DYNAMIC RANDOM ACCESS MEMORY AND ITS METHOD}

【도면의 간단한 설명】

- 도 1은 종래기술에 따른 NVDRAM의 단면도,
- 도 2는 본 발명의 일실시예에 따른 NVDRAM의 단면도,
- 도 3은 본 발명의 다른 실시예에 따른 NVDRAM의 단면도,
- 도 4는 본 발명에 따른 NVDRAM의 구동 회로도,
- 도 5는 본 발명에 따른 NVDRAM의 데이터 백업 예시도,
- 도 6은 본 발명에 따른 NVDRAM의 문턱전압 상승을 위한 바이어스 조건 예시도,
- 도 7(A)는 각 셀의 플로팅 게이트에 전자가 주입되기 전의 문턱전압 예시도,
- 도 7(B)는 각 셀의 플로팅 게이트에 전자가 주입된 후의 문턱전압 예시도,
- 도 7(C)는 각 셀의 플로팅 게이트의 문턱전압이 클램핑된 경우의 예시도,
- 도 8은 본 발명에 따른 NVDRAM의 문턱전압을 체크하기 위한 바이어스 조건 예시도,
- 도 9는 본 발명에 따른 NVDRAM의 문턱전압을 강하시키기 위한 바이어스 조건 예시도,
- 도 10은 본 발명에 따른 NVDRAM의 문턱전압 정상화 예시도,
- 도 11은 본 발명에 따른 NVDRAM의 프로그램 모드시 문턱전압 파형도.

* 도면의 주요 부분에 대한 설명 *

401: 모드 제어부

402: 내부전원발생부

403: 비트 라인 전압 스위칭부

404: 워드 라인 전압 스위칭부

405: 플레이트 라인 전압 스위칭부 406: NVDAM 어레이

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 불휘발성 다이내믹 랜덤 액세스 메모리 구동 회로 및 그의 구동 방법에 관한 것이다.

<19> 현재까지 널리 사용되는 반도체 메모리는 DRAM 및 SRAM과 같은 RAM(Random Access Memory)와 마스크 ROM, EPROM 및 EEPROM과 같은 ROM(Read Only Memory)으로 대별될 수 있다. DRAM과 SRAM은 쓰기과 읽기를 고속으로 행할 수 있으나, 메모리에 공급되는 전원을 차단하는 경우에는 메모리에 저장된 기억내용이 소멸되어 버린다. 한편, 마스크 ROM, EPROM 및 EEPROM은 메모리에 공급되는 전원을 차단한 후에도 기억내용을 유지할 수는 있으나, 기억내용을 변경할 수 없거나 변경하더라도 많은 시간이 소요되는 1장 1단이 있다.

<20> 이 때문에, 고속으로 메모리에 데이터를 쓰거나 읽는 것이 가능하면서도 전원이 차단되더라도 기억내용을 저장할 수 있는 불휘발성 DRAM(NVDAM: Non-Volatile Dynamic Random Access Memory)이 제안되어 왔다.

<21> 예로서, 미국특허 US 4471471호는 플로팅 게이트와 전달 게이트 사이에 DEIS(dual electron injector structure)를 요구하는 불휘발성 디램을 개시한다. 그러나, 위 특허에 개시된 DEIS 스택구조는 셀의 비트 라인측(bit line side) 위에 위치하므로 데이터가 DRAM으로부터 모든 셀에 병렬로 된 플로팅게이트에 전달될 수 없다. 이러한 문제점을 해결하기 위하여 미국 특허 US 5331188호의 "NON VOLATILE DRAM CELL"은 제1층(18)과 제2층(20)으로 형성된 플로팅 게이트를 사용하여 전계가 p+ 영역에 가까운 제1층(18)의 얇은 절연막에 집중되도록 하였다. 그러나, 도 1에 보이는 바와 같이, 미국특허 US 5331188호는 셀 커패시터의 플레이트 라인 전압은 접지전압으로 고정시킨 채 워드 라인 전압과 비트 라인 전압만으로 전계를 형성시킨다. 따라서, 플로팅게이트가 2개층으로 형성되므로 셀의 면적이 늘어나게 되고, 제조 공정이 복잡하게 된다. 또한, 플레이트 라인 전압을 조정할 수 있는 불휘발성 디램에 비하여 상대적으로 높은 워드 라인 전압과 비트 라인 전압을 인가하므로 NVDRAM에서의 소비 전력을 증가시키게 된다.

【발명이 이루고자 하는 기술적 과제】

<22> 상기의 문제점을 해결하기 위하여 본 발명은 플레이트에 상이한 전압을 인가함으로써 낮은 내부전압으로 구동할 수 있는 불휘발성 디램 구동 회로 및 그의 구동방법을 제공함에 목적이 있다.

**【발명의 구성 및 작용】**

- <23> 상기 목적을 달성하기 위한 본 발명의 불휘발성 디램 구동 회로는, 불휘발성 디램의 셀 어레이를 구동함에 있어서, 외부 전원을 입력받아 상이한 복수의 내부 전압을 발생하기 위한 내부 전원 발생 수단; 상기 불휘발성 디램의 워드 라인측과 커패시터 플레이트 라인측에 복수의 전압이 인가되도록 상기 복수의 내부 전압을 스위칭하기 위한 스위칭 수단; 및 상기 스위칭 수단의 스위칭을 제어하기 위한 모드 제어 수단을 포함할 수 있다.
- <24> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로의 상기 스위칭 수단은, 상기 워드 라인측에 상기 상이한 복수의 내부 전압을 스위칭하기 위한 워드 라인 전압 스위칭 수단; 상기 불휘발성 디램의 비트 라인측에 상기 상이한 복수의 내부 전압을 스위칭하기 위한 비트 라인 전압 스위칭 수단; 및 상기 커패시터 플레이트 라인측에 상기 상이한 복수의 내부 전압을 스위칭하기 위한 플레이트 라인 전압 스위칭 수단을 포함할 수 있다.
- <25> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로는 상기 상이한 복수의 내부 전압을 5볼트 이내로 할 수 있다.
- <26> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로의 상기 모드 제어 수단은, 상기 불휘발성 디램이 다이내믹 랜덤 액세스 메모리로 기능하도록 상기 어레이 내 셀의 문턱전압을 조정하는 셀 문턱 전압 정상화 모드를 제어할 수 있다.
- <27> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로의 상기 모드 제어 수단은, 전원이 인가되는 경우, 상기 어레이 셀 내 플로팅 게이트에 저장된 정보를 상기 셀 내 커패시터로 전달하는 리콜 모드를 더 제어할 수 있다.

- <28> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로의 상기 모드 제어 수단은, 전원이 차단되는 경우, 전원이 완전히 사라지기 전에 상기 어레이의 셀 내 커패시터에 저장된 데이터 정보를 상기 셀 내 플로팅 게이트로 전달하는 프로그램 모드를 더 제어할 수 있다.
- <29> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로는, 전원 차단을 조기에 검출할 수 있는 전원 모니터 회로 및 전원 차단시에도 불휘발성 디램이 일정 기간 동작할 수 있는 축전지를 더 포함할 수 있다.
- <30> 바람직하게는, 본 발명의 불휘발성 디램 구동 회로는, 상기 불휘발성 디램에 저장된 데이터를 백업하기 위한 백업용 메모리 셀 어레이 블록을 더 포함할 수 있다.
- <31> 바람직하게는, 본 발명의 상기 불휘발성 디램에 저장된 데이터를 상기 백업용 메모리 셀 어레이 블록으로 백업하는 1회당 데이터량은 전원전압을 독립적으로 인가받을 수 있는 상기 백업용 메모리 셀 어레이 블록의 사이즈에 의해 결정될 수 있다.
- <32> 바람직하게는, 본 발명의 상기 백업용 메모리 셀 어레이 블록의 사이즈는 상기 불휘발성 디램을 구성하는 복수의 बैं크 중 하나와 동일한 것일 수 있다.
- <33> 또한, 본 발명의 제1 리콜 모드 구동 방법은, 복수의 불휘발성 디램 셀을 구동함에 있어서, 상기 복수의 불휘발성 디램 셀의 셀 커패시터를 충전하는 제1 단계; 상기 복수의 불휘발성 디램 셀 중 상대적으로 문턱전압이 낮은 셀의 상기 셀 커패시터를 방전시키는 제2 단계; 및 상기 복수의 불휘발성 디램 셀을 리프레쉬하는 제3 단계를 포함할 수 있다.
- <34> 바람직하게는, 본 발명의 제1 리콜 모드 구동 방법의 상기 제1 단계는, 상기 복수의 불휘발성 디램 셀의 셀 커패시터를 충전시킨다.



- <35> 바람직하게는, 본 발명의 제1 리콜 모드 구동 방법의 상기 제1 단계는, "H"상태 데이터의 전압보다 "H"상태 데이터의 문턱전압이상 만큼 높은 전압을 인가하고, 상기 복수의 불휘발성 디램 셀에 "H"상태 데이터를 라이트(write)한다.
- <36> 바람직하게는, 본 발명의 제1 리콜 모드 구동 방법의 상기 제2 단계는, 상기 복수의 불휘발성 디램 셀의 워드 라인 전압으로 셀 플로팅 게이트에 프로그램되는 "H"상태 데이터의 문턱전압과 "L"상태 데이터의 문턱전압의 중간정도의 전압을 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 0볼트를 인가하여 소정 시간동안 대기한다.
- <37> 또한, 본 발명의 제2 리콜 모드 구동 방법은 복수의 불휘발성 디램 셀을 구동함에 있어서, 각 로우(Row)의 워드 라인 전압이 $V_{wl} = V_{blp} + (V_{th,h} + V_{th,l})/2$ 의 관계- 여기서, V_{blp} 는 디램 모드 동작시의 비트라인 프리차지 전압이고, $V_{th,h}$ 은 프로그램모드시 셀 커패시터의 데이터가 "L"상태인 셀의 목표 프로그램 문턱전압이고, $V_{th,l}$ 은 프로그램 모드시 셀 커패시터의 데이터가 "H"상태인 셀의 목표 프로그램 문턱 전압임 -를 순차적으로 만족하는 제1 단계; 모든 셀을 "H"상태로 라이트(write)하는 제2 단계; 및 상기 워드 라인 전압으로 "H"상태에 해당하는 전압보다 높은 전압(V_{pp})을 인가하면서 상기 복수의 불휘발성 디램 셀을 리프레쉬하는 제3 단계를 포함할 수 있다.
- <38> 바람직하게는, 본 발명의 제2 리콜 모드 구동 방법의 상기 제1 단계는, 상기 각 로우의 워드 라인 전압과 비트 라인 프리차지 전압이 상기 수학식 3을 만족하는 동안 나머지 워드 라인 전압으로 소정의 음 전압을 인가한다.



- <39> 바람직하게는, 본 발명의 제2 리콜 모드 구동 방법의 상기 제1 단계의 상기 소정의 음전압은 상기 목표 프로그램 문턱 전압에서도 상기 셀 커패시터와 비트 라인간에 누설이 발생하지 않을 정도의 전압일 수 있다.
- <40> 또한, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법은, 복수의 불휘발성 디램 셀을 구동함에 있어서, 상기 복수의 불휘발성 디램 셀이 디램으로 동작하기에 필요한 문턱전압보다 높은 문턱전압을 갖도록 하는 제1 단계; 상기 셀의 커패시터를 충전시키는 제2 단계; 상기 셀의 문턱 전압을 체크하는 제3 단계; 상기 셀의 문턱 전압이 목표 문턱 전압보다 높으면 상기 셀의 문턱 전압을 강하시키는 제4 단계; 및 상기 셀을 리프레쉬시키는 제5 단계를 포함할 수 있다.
- <41> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제1 단계는, 상기 셀의 워드 라인 전압으로 대략 5볼트를 인가하고, 상기 셀의 비트 라인 프리차지 전압과 바디 전압으로 대략 -3볼트를 인가할 수 있다.
- <42> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제2 단계는, 상기 셀의 워드 라인 전압으로 전원전압과 전자 주입으로 상승된 문턱전압의 최대치를 합한 전압보다 크거나 같은 전압을 인가하고, 상기 셀에 "H"상태 데이터를 라이트할 수 있다.
- <43> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제3 단계는, 상기 셀의 실제 문턱 전압이 목표 문턱 전압보다 낮으면 상기 셀의 전달 트랜지스터가 턴온되도록 하고, 높으면 상기 셀의 트랜지스터가 턴온되지 않도록 할 수 있다.
- <44> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제3 단계는, 상기 셀의 워드 라인 전압으로 목표 문턱 전압을 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 0볼트를 인가할 수 있다.

- <45> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제3 단계는, 상기 셀의 워드 라인 전압으로 0볼트를 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 음의 목표 문턱 전압을 인가할 수 있다.
- <46> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제4 단계는, 상기 셀 내 커패시터에 "H"상태의 데이터를 저장하는 경우에만, 상기 셀 내 플로팅 게이트 내에 갇힌 전자가 방출되도록 할 수 있다.
- <47> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제4 단계는, 상기 복수의 불휘발성 디램 셀의 워드 라인 전압으로 대략 -3볼트를 인가하고, 상기 셀의 커패시터의 플레이트 전압으로 0볼트로부터 대략 2.5볼트로 높여서 인가할 수 있다.
- <48> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법은, 상기 복수의 불휘발성 디램 셀 모두의 셀 커패시터에 "L"가 저장될 때까지 상기 제3단계 내지 제5단계를 반복할 수 있다.
- <49> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법은, 상기 제1 단계의 수행 전에 상기 복수의 불휘발성 디램 셀에 저장된 데이터를 백업하는 제6 단계를 더 포함할 수 있다.
- <50> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제2 단계를 수행하는 도중에 상기 데이터의 논리상태를 반전시키는 단계를 더 포함할 수 있다.
- <51> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법은, 상기 제5 단계의 수행 후, 백업해 두었던 데이터를 상기 복수의 불휘발성 디램 셀에 재저장하는 하는 제7 단계를 더 포함할 수 있다.

- <52> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 제7 단계를 수행하는 도중에 상기 데이터의 논리상태를 반전시키는 단계를 더 포함할 수 있다.
- <53> 바람직하게는, 본 발명의 셀 문턱 전압 정상화 모드 구동 방법의 상기 복수의 불휘발성 디램 셀은 SONOS(silicon-oxide-nitride-oxide-silicon) 형 NVDRAM일 수 있다.
- <54> 또한, 본 발명의 프로그램 모드 구동 방법은, 복수의 불휘발성 디램 셀을 구동함에 있어서, 상기 복수의 불휘발성 디램 셀을 리프레쉬하는 제1 단계; 상기 복수의 불휘발성 디램 셀 중 셀 커패시터의 데이터가 "H"상태인 셀의 문턱 전압이 목표 프로그램 문턱 전압에 도달했는지를 체크하는 제2 단계; 및 상기 복수의 불휘발성 디램 셀 중 셀 커패시터에 저장된 정보의 논리상태에 따라 셀 플로팅 게이트 내 전자를 선택적으로 방출시켜 문턱 전압을 강하시키는 제3 단계를 포함할 수 있다.
- <55> 바람직하게는, 본 발명의 프로그램 모드 구동 방법은, 상기 복수의 불휘발성 디램 셀의 모든 셀 커패시터의 데이터가 "L"상태를 가질 때까지 상기 제1 내지 상기 제3 단계를 반복할 수 있다.
- <56> 바람직하게는, 본 발명의 프로그램 모드 구동 방법의 상기 제2 단계는, 상기 복수의 불휘발성 디램 셀의 모든 셀의 워드 라인 전압(V_{wl})으로 목표 프로그램 문턱 전압 - 상기 목표 프로그램 문턱 전압은 0볼트-을 인가하고, 비트라인 프리차지 전압(V_{blp})으로 0볼트를 소정시간 동안 인가할 수 있다.
- <57> 바람직하게는, 본 발명의 프로그램 모드 구동 방법의 상기 제3 단계는, 상기 복수의 불휘발성 디램 셀 중 셀 커패시터의 데이터가 "H"상태인 셀의 셀 플로팅 게이트 내 전자를 셀 커패시터쪽으로 방출시킬 수 있다.



- <58> 바람직하게는, 본 발명의 프로그램 모드 구동 방법의 상기 제3 단계는, 상기 복수의 불휘발성 디램 셀의 모든 셀의 워드 라인 전압을 약 -3볼트로 강하시키고 셀 커패시터의 플레이트 전압을 2.5볼트 정도로 상승시킬 수 있다.
- <59> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- <60> 본 발명에 따른 불휘발성 디램(NVDRAM)의 셀(cell)은 일 실시예에 따르면, 도 2에 보이는 바와 같이, 통상의 플로팅 게이트형 플래시 메모리 구조에 커패시터를 부가하여 구성할 수 있다. 본 발명의 다른 실시예에 따르면, 도 3에 보이는 바와 같이, SONOS형 플래시 메모리 구조에 커패시터를 부가하여 구성할 수 있다. 본 발명의 또 다른 실시예에 따르면, 도 3의 구조에서 제어 게이트 바로 아래의 산화막을 제거함으로써 MNOS형 플래시 메모리 구조에 커패시터를 부가하여 구성할 수 있다.
- <61> 도 4는 본 발명에 따른 NVDRAM을 구동시키기 위한 전체 블럭구성도로서, NVDRAM 셀 어레이 블럭(406)은 본 발명에 따른 NVDRAM 셀이 어레이 형태로 배열될 수 있음을 나타낸다.



<62> 본 발명에 따른 NVDRAM 셀 어레이 블록(406)을 구동시키기 위한 구동 회로는, 일반적으로 DRAM을 구동시키기 위해 필요로 하는 구성들 이외에 외부 전원을 입력받아 복수의 내부 전압을 발생하기 위한 내부전원발생부(402), 워드 라인에서 필요로 하는 복수의 전압을 내부전원발생부(402)로부터 입력받아 스위칭 하기 위한 워드 라인 전압 스위칭부(404), 비트 라인에서 필요로 하는 복수의 전압을 내부전원발생부(402)로부터 입력받아 스위칭 하기 위한 비트 라인 프리차지 전압 스위칭부(403), 플레이트 라인에서 필요로 하는 복수의 전압을 내부전원발생부(402)로부터 입력받아 스위칭 하기 위한 플레이트 라인 전압 스위칭부(405), 각 모드에 따라 혹은 각 모드내 각 과정에 따라 요구되는 전압을 인가하기 위해 워드 라인 전압 스위칭부(404), 비트 라인 프리차지 전압 스위칭부(403) 및 플레이트 라인 전압 스위칭부(405)의 스위칭을 제어하기 위한 모드 제어부(401)를 포함할 수 있다.

<63> 이하에서는 도 2에 보이는 플로팅 게이트형 NVDRAM 셀의 동작에 관하여 설명하기로 하며, SONOS형 NVDRAM 셀이나 MNOS형 NVDRAM셀의 동작은 플로팅 게이트형 NVDRAM셀의 동작과 대동소이 하므로 차이나는 부분에서만 별도의 언급을 하기로 한다.

<64> 본 발명에 따른 NVDRAM을 전원이 차단된 경우 불휘발성 메모리로 이용하고, 전원이 인가된 경우 휘발성인 DRAM으로 이용하기 위하여 다음 네 가지의 모드가 필요하다. 즉, 본 발명에 따른 NVDRAM은 (1) RECALL 모드, (2) 셀 문턱전압(V_{th}) 정상화 모드, (3) DRAM 모드 및 (4) PROGRAM 모드를 가질 수 있다.

<65> RECALL 모드는 NVDRAM에 전원이 인가되는 경우에 셀 플로팅 게이트(202)에 있는 데이터 정보를 셀 커패시터(207)로 전달하는 과정이다. 셀 문턱전압(V_{th}) 정상화 모드는 어레이된 모든 셀 플로팅 게이트(202)에 동일한 양의 전자를 채움으로써 모든 셀이 동일한 문턱전압을 갖도록 하는 과정이다. DRAM 모드는 NVDRAM이 DRAM과 같이 동작하는 과정이다. PROGRAM 모드는



NVDRAM에 전원이 차단되는 경우에 셀 커패시터(207)에 저장된 데이터 정보를 셀 플로팅 게이트(202)로 전달하는 과정이다. 이하에서는 각 모드에 대하여 상세히 설명한다.

<66> RECALL 모드의 제1 실시예

<67> 본 발명의 일실시예에 따른 RECALL 모드에서는 셀 플로팅 게이트(202)에 있는 정보를 셀 커패시터(207)로 전달하기 위해서 셀 플로팅 게이트에 저장된 "H"상태 데이터의 문턱전압($V_{th,h}$)과 "L"상태 데이터의 문턱전압($V_{th,l}$)의 전위차를 이용한다. 즉, 워드 라인과 비트 라인 사이에 적절한 전압이 인가되는 경우, 셀 플로팅 게이트 내에 "H"상태 데이터를 저장하고 있는 셀은 상대적으로 낮은 문턱전압(V_{th})을 가지므로 셀 내 전달 트랜지스터가 온(On)될 수 있는 반면, "L"상태 데이터를 저장하고 있는 셀은 상대적으로 높은 문턱전압(V_{th})을 가지므로 전달 트랜지스터가 오프(Off)상태를 유지하는 특성을 이용한다.

<68> ① 먼저, 모든 워드 라인 전압(V_{wl})으로 "H"상태 데이터의 전압보다 $V_{th,h}$ 이상 높은 약 4볼트를 인가하고, 모든 셀에 "H"상태 데이터를 라이트(write)한다. 혹은 비트 라인 프리차지 전압(V_{blp})을 전원전압 레벨(V_{dd})로 인가한다. 그러면 턴온된 셀 트랜지스터를 통하여 셀 커패시터(207)가 충전되면서 "H"상태에 해당하는 전압을 갖게 된다.

<69> ② 이후, 워드 라인 전압(V_{wl})으로 $V_{th,h}$ 와 $V_{th,l}$ 사이의 전압을 인가하고, 비트 라인 프리차지 전압(V_{blp})으로 0볼트를 인가하여 소정 시간동안 대기한다. 그러면, 셀 플로팅 게이트 내에 "H"상태 데이터를 저장하고 있던 셀은 상대적으로 낮



은 문턱전압을 가지므로 셀 커패시터(207)가 방전되어 셀 커패시터(207)는 "L"상태로 전환된다. 그러나, "L"상태 데이터를 저장하고 있던 셀은 상대적으로 높은 문턱전압을 가지므로 셀 커패시터(207)가 방전되지 않아 셀 커패시터(207)는 "H"상태를 유지한다.

<70> ③ 어레이된 모든 셀을 리프레쉬한다. 그러면, 셀 플로팅 게이트(202) 내 "H"상태 데이터는 셀 커패시터(207)에 "L"상태 데이터로 저장되고, 셀 플로팅 게이트(202) 내 "L"상태 데이터는 셀 커패시터(207)에 "H"상태 데이터로 저장된다.

<71> 이와 같이 RECALL 모드를 수행하는 경우, 셀 커패시터(207)에 데이터의 논리상태가 역전되어 저장된다. 따라서, 데이터의 논리상태를 반전시켜 저장함으로써 셀에 저장된 데이터의 논리상태를 원 상태로 할 필요가 있다. 이 과정은 아래에 개시되는 셀 문턱전압 정상화 모드를 수행하는 중에 처리될 수 있다.

<72> RECALL 모드의 제2 실시예

<73> 한편, RECALL 모드의 다른 실시예에 따르면 셀 플로팅 게이트의 논리상태를 역전시키지 않고 셀 커패시터에 저장할 수도 있다. 이는 다음과 같은 과정을 수행하는 것에 의해 가능하다.

<74> ① NVDAM 셀 어레이 블록(406)내 하나의 로우(Row)에 대하여 워드 라인 전압(V_{wl})이 수학식1과 같은 관계를 갖도록 하고, 해당하는 로우(Row)의 모든 셀을 "H"상태로 라이트(write)한다. 이 때 나머지 워드 라인들은 목표 프로그램 문턱 전압($V_{th,1}$)에서도 셀 커패시터와 비트 라인간에 누설(Leakage)이 없도록 소정의 음 전압을 인가한다.

<75> 【수학식 1】 $V_{wl} = V_{blp} + (V_{th,h} + V_{th,l})/2$



<76> 여기서, V_{blp} 는 DRAM모드 동작시의 비트라인 프리차지 전압이며, $V_{th,h}$ 은 하기 설명되는 프로그램모드시 커패시터의 데이터가 "L"상태인 셀의 목표 프로그램 문턱전압이고, $V_{th,l}$ 은 하기 설명되는 프로그램 모드시 커패시터의 데이터가 "H"상태인 셀의 목표 프로그램 문턱 전압이다.

<77> ② NVDRAM 셀 어레이 블록(406)의 전체 로우(Row)에 대하여 위 ①과정을 반복한다. 그러면 어레이된 모든 셀의 셀 커패시터에 문턱 전압의 차이에 의해 "H"상태 데이터와 "L"상태 데이터에 해당되는 전압이 저장된다. 즉, 수학식2의 전압을 갖는 데이터가 저장된다.

<78> 【수학식 2】 $V_{wl} = V_{blp} \pm (V_{th,h} - V_{th,l})/2$

<79> ③ 워드 라인 전압(V_{wl})으로 "H"상태 데이터에 해당하는 전압보다 높은 전압(V_{pp})을 인가하고, 어레이된 모든 셀을 리프레쉬한다. 그러면 정상적인 데이터가 셀 커패시터에 저장된다.

<80> 셀 문턱 전압(V_{th}) 정상화 모드

<81> RECALL 모드를 수행한 후에는 셀 플로팅 게이트에 저장된 정보에 따라 즉, "H"상태 데이터를 저장하는 셀의 문턱전압과 "L"상태 데이터를 저장하는 셀의 문턱전압이 다르다. 따라서, 본 발명의 NVDRAM을 DRAM과 같이 동작시키기 위해서 NVDRAM 셀 어레이 블록(406)의 모든 셀의 문턱 전압을 동일하게 할 필요가 있다.

<82> ① 우선, 어레이된 셀 각각의 셀 커패시터에 저장된 모든 데이터를 백업(back up)한다(도 5 참조). 데이터를 백업하는 방식은, 일실시예에 따르면, 백업용 메모리 셀 어레이 블록(500)의 사이즈에 따라 다를 수 있다. 다른 실시예에 따르면, 백업용 메모리 셀 어레이 블록(500)의 전부 혹은 일부를 이용할 것인지에 따라 정해질 수 있다. 예를 들어, 백업용 메모리

셀 어레이 블럭(500)의 사이즈가 4 뱅크로 구성된 NVDRAM 셀 어레이 블럭(406) 중 하나의 뱅크에 해당하고, 백업용 메모리 어레이 전체를 데이터의 백업에 이용한다면 각 뱅크별로 백업할 수 있을 것이다. 또는, 백업용 메모리 셀 어레이 블럭(500)이 4 뱅크로 구성된 NVDRAM 셀 어레이 블럭(406)과 동일하고, 백업용 메모리 어레이의 전체를 데이터의 백업에 이용한다면 NVDRAM 셀 어레이 블럭(406)의 데이터를 일시에 백업할 수도 있을 것이다. 백업용 메모리 셀 어레이 블럭(500)의 셀 구조는 본 발명에 따른 어레이된 셀의 구조와 동일하도록 하는 것이 제조상의 편의와 경제성 등 여러 면에서 바람직하나, 반드시 동일한 구조이어야 하는 것은 아니다. 즉, 데이터를 소정 시간동안 저장할 수 있는 구조이면 충분하다. 백업용 메모리 어레이에 인가되는 워드 라인 전압(V_{w1}), 비트 라인 프리차지 전압(V_{b1p}) 및 플레이트 라인 전압(V_{cp})은 데이터의 백업 방식에 따라 적절히 조정될 필요가 있으나, 이 정도는 당해 분야에서 통상의 지식을 가진 자에게 자명한 사항에 불과하고 본 발명의 본질을 벗어나는 사항이므로 더이상 언급하지 않기로 한다.

<83> ② 도 6에 보이는 바와 같이, 어레이된 모든 셀의 워드 라인 전압(V_{w1})을 약 5볼트 이상으로 인가한 상태에서 비트 라인 프리차지 전압(V_{b1p})과 바디 전압(V_{bb})을 -3볼트 정도로 내린다. 그러면, 각 셀은 셀 커패시터(207)로부터 셀 플로팅 게이트(202)로 전자가 터널링되어 어레이된 모든 셀은 디램으로 동작하기에 필요한 문턱전압보다 높은 문턱전압을 가질 수 있다. 예를 들어, 셀 플로팅 게이트에 전자가 주입되기 전에 문턱전압이 0볼트였다면 1볼트 정도로, 1볼트였다면 1.8볼트 정도로 상승할 수 있다. 도 7(A)는 복수의 셀에 셀 플로팅 게이트에 전자가 주입되기 전의 문턱전압을 보이고, 도 7(B)는 복수의 셀에 셀 플로팅 게이트에 전자가 주입된 후의 문턱전압으로서, 각 셀의 문턱전압이 디램으로 동작하기에 필요한 목표 문턱 전압($V_{th,h}$)보다 높은 문턱전압을 갖게 됨을 알 수 있다.



- <84> ③ 이후, 워드 라인 전압(V_{wl})을 충분히 상승시킨 상태에서 어레이된 모든 셀에 "H"상태 데이터를 라이트함으로써 셀 커패시터를 충전시킨다. 여기서, 충분히 상승된 워드 라인 전압(V_{wl})의 크기는 예를 들어 "H"상태 데이터의 전압과 전자 주입으로 상승된 문턱전압의 최대치를 합한 전압보다 크거나 같을 수 있다. 한편, 이 과정은 비트 라인 프리차지 전압(V_{blp})을 "H"상태 데이터의 전압 레벨로 상승시켜서 어레이된 모든 셀에 "H"상태 데이터를 라이트(write)함으로써 수행될 수도 있다.
- <85> ④ 셀의 실제 문턱 전압을 체크한다. 셀의 실제 문턱 전압을 체크하기 위해서는, 일실시예로서, 도 8에 보이는 바와 같이, 워드 라인 전압(V_{wl})으로 목표 문턱 전압($V_{th,h}$)을 인가하고, 비트 라인 프리차지 전압(V_{blp})으로 0볼트를 인가한다. 또는, 다른 실시예로서, 워드 라인 전압(V_{wl})으로 0볼트를 인가하고, 비트 라인 프리차지 전압(V_{blp})으로 음의 목표 문턱 전압($-V_{th,h}$)을 인가함으로써 셀의 실제 문턱 전압을 체크할 수 있다. 그러면, 실제 문턱 전압이 목표 문턱 전압($V_{th,h}$)보다 낮은 셀은 턴온되어 셀 커패시터가 방전된다. 그래서 셀 커패시터는 "H"상태로부터 "L"상태로 천이한다. 반면, 실제 문턱 전압이 목표 문턱 전압($V_{th,h}$)보다 높은 셀은 턴온되지 않는다.
- <86> ⑤ 아직 실제 문턱 전압이 목표 문턱 전압($V_{th,h}$)보다 높은 셀의 문턱 전압을 강하시킨다. 이는, 도 9에 보이는 바와 같이, 전체 워드 라인 전압을 약 -3볼트로 내리고 커패시터의 플레이트 전압을 0볼트에서 2.5볼트 이상으로 상승시킴으로써 가능하다. 그러면 "H"상태의 데이터를 저장하는 커패시터의 스토리지 노드 전압은 5볼트로 상승하고, "L"상태의 데이터를 저장하는 커패시터의 스토리지 노드 전압은 2.5볼트를 유지한다. 이에 따라 "H"상태의 데이터를 저장하는 커패시터에만 스토리지 노드와 제어 게이트간에 플로팅 게이트에 갇혀 있는 전자가 커패시터로 방출되기에 충분한 8볼트의 전위차가 발생하고, 이러한 전압 스트레스에 의해 플로



팅 게이트로부터 전자가 방출되면서 실제 문턱 전압이 낮아지게 된다. 한편, 실제 문턱 전압이 이미 목표 문턱 전압($V_{th,h}$)에 도달한 셀에서는 더 이상 전자가 플로팅 게이트로부터 커패시터로 빠져 나오지 않는다(도 7(C) 및 도 10 참조).

<87> ⑥ 어레이된 모든 셀을 리프레쉬시킴으로써 셀 커패시터 내에 "L"데이터와 "H"데이터의 상태를 명확하게 한다.

<88> ⑦ 셀 내 커패시터에 저장된 데이터가 "L"상태가 되어 어레이된 모든 셀의 실제 문턱 전압이 목표 문턱 전압($V_{th,h}$)에 도달하여 더 이상 실제 문턱 전압의 강하가 정지할 때까지 위 ④, ⑤ 및 ⑥ 과정을 반복한다. 왜냐하면 셀 커패시터에 충전되는 전하량이 셀을 일시에 프로그램할 정도로 충분한 양이 아니기 때문이다. 그리고 이를 본 발명에서는 SRC 과정 (Stress-Refresh-Check Process)이라 부른다.

<89> 그런데 SRC과정 중 ④과정에서 "H"상태로부터 "L"상태로 천이한 셀의 경우는 ⑤의 과정에서 더 이상 전자가 빠져 나오지 않으므로 목표문턱전압보다 문턱전압이 낮아지는 것이 방지된다(도 (C)참조). 본 발명에서는 이 현상을 문턱전압 클램핑이라 한다.

<90> ⑧ 마지막으로, 백업해 두었던 데이터를 셀에 라이트한다.

<91> 여기서, RECALL 모드에서 역전되어 저장된 데이터의 논리상태는 데이터를 백업할 때나 백업한 데이터를 다시 셀에 라이트할 때 병렬연결된 복수의 인버터 등을 이용하여 간단하게 반전시킬 수 있다.

<92> 한편, SONOS(silicon-oxide-nitride-oxide-silicon)형 NVDAM의 경우에는 위 ②과정의 수행에 따라 질화막(303, Nitride)의 전체가 아니라 질화막 중 소스(308)측에 근접한 부분과

드레인(307)측에 근접한 부분에 전자가 갇히게 된다. 이 때 소스측에 근접한 부분에 갇힌 전자를 강제로 방출시킬 필요가 있다. 이를 위해 ②과정과 ③과정 사이에서 워드 라인 전압(V_{w1})으로 -3볼트를, 비트 라인 프리차지 전압(V_{b1p})으로 5볼트를 인가한다.

<93> DRAM 모드

<94> 본 발명에 따른 NVDAM은 DRAM 모드에서 일반적인 DRAM의 동작과 동일하게 동작하므로 구체적인 동작 설명은 피하기로 한다.

<95> PROGRAM 모드

<96> 전원 장애가 검출되거나 전원이 차단되는 때에, 셀 커패시터에 저장된 데이터 정보를 셀 플로팅 게이트로 전달하는 PROGRAM 모드가 수행된다.

<97> ① 프로그램 모드를 실행하기 위해서 우선 DRAM 모드에서 어레이된 모든 셀을 리프레쉬한다. 그러면 셀 커패시터에 저장된 데이터의 논리상태를 명확하게 된다.

<98> ② 셀 커패시터의 데이터가 "H"상태인 셀의 문턱 전압을 목표 프로그램 문턱 전압($V_{th,1}$)으로 클램핑한다. 이를 위해 워드 라인 전압(V_{w1})으로 목표 프로그램 문턱 전압($V_{th,1}$)- 예를 들어, 0볼트 -을 인가하고, 비트라인 프리차지 전압(V_{b1p})으로 소정 시간동안 0볼트를 인가한다. 아래의 ③과정을 통해 전달 트랜지스터의 문턱전압이 목표 프로그램 문턱 전압($V_{th,1}$) 이하로 강하한다면, 전달 트랜지스터가 턴온되기 전 셀 커패시터에 저장된 데이터가 "H"상태였던 경우에 전달 트랜지스터의 턴온으로 "L"상태로 천이된다.

<99> ③ 셀 커패시터에 저장된 정보의 논리상태에 따라 셀 플로팅 게이트 내 전자를 선택적으로 방출시켜 셀의 문턱 전압을 강하시킨다. 이를 위해, 도 9에 보이는 바와 같이, 셀 플로팅 게이트의 전자가 셀 커패시터쪽으로 방출되도록 어레이된 모든 셀의 워드 라인 전압(V_{wl})을 약 -3볼트로 강하시키고, 셀 커패시터의 플레이트 전압(V_{cp})을 2.5볼트 정도로 상승시킨다. 그러면, 커패시터의 특성상 "H"상태 데이터를 저장하는 셀 커패시터(207)의 스토리지 노드 전압(V_n)은 5볼트가, "L"상태 데이터를 저장하는 셀 커패시터(207)의 스토리지 노드 전압(V_n)은 2.5볼트가 걸린다. 이에 따라 "H"상태 데이터를 저장하는 셀 커패시터를 포함하는 셀에 대해서만 셀 플로팅 게이트에 갇힌 전자가 셀 커패시터쪽으로 방출되고, 셀 문턱전압이 낮아진다.

<100> ④ 어레이된 모든 셀의 셀 커패시터의 데이터가 "L"상태를 가질 때까지 ①, ② 및 ③과정을 반복한다. 이는 앞의 Cell 문턱전압 정상화모드에서 설명한 SRC과정과 동일하다. 도 11에 보이는 바와 같이, 셀의 프로그래밍이 끝나면 셀 커패시터의 데이터가 "H"상태였던 셀의 문턱 전압만 목표 프로그램 문턱 전압($V_{th,1}$)으로 천이하고, 셀 커패시터의 데이터가 "L"상태였던 셀의 문턱전압은 변하지 않는다.

<101> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

**【발명의 효과】**

<102> 상기와 같은 구성에 따라 본 발명은 플레이트에 상이한 전압을 인가함으로써 낮은 내부 전압만으로도 불휘발성 다이나믹 랜덤 액세스 메모리를 구동할 수 있다. 또한, 이와 같은 구동 방법을 사용할 수 있기 때문에 불휘발성 다이나믹 랜덤 액세스 메모리의 구조가 통상의 다이나믹 랜덤 액세스 메모리의 구조와 크게 다르지 않아 제조장비를 추가하거나 제조라인을 새로이 구축하지 않더라도 제조할 수 있으므로 제조단가를 낮출 수 있다.

【특허청구범위】

【청구항 1】

불휘발성 디램의 셀 어레이를 구동함에 있어서,

외부 전원을 입력받아 상이한 복수의 내부 전압을 발생하기 위한 내부 전원 발생 수단;

상기 불휘발성 디램의 워드 라인측과 커패시터 플레이트 라인측에 복수의 전압이 인가되도록 상기 복수의 내부 전압을 스위칭하기 위한 스위칭 수단; 및

상기 스위칭 수단의 스위칭을 제어하기 위한 모드 제어 수단

을 포함하는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 2】

제1항에 있어서, 상기 스위칭 수단은,

상기 워드 라인측에 상기 상이한 복수의 내부 전압을 스위칭하기 위한 워드 라인 전압 스위칭 수단;

상기 불휘발성 디램의 비트 라인측에 상기 상이한 복수의 내부 전압을 스위칭하기 위한 비트 라인 프리차지 전압 스위칭 수단; 및

상기 커패시터 플레이트 라인측에 상기 상이한 복수의 내부 전압을 스위칭하기 위한 플레이트 라인 전압 스위칭 수단

을 포함하는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 3】

제1항에 있어서,

상기 상이한 복수의 내부 전압은 5볼트 이내인 것을 특징으로 하는 불휘발성 디램 어레이 구동 회로.

【청구항 4】

제1항에 있어서, 상기 모드 제어 수단은,

다이나믹 랜덤 액세스 메모리로 기능하도록 상기 어레이 내 셀의 문턱전압을 조정하는 셀 문턱 전압 정상화 모드를 제어하는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 5】

제4항에 있어서, 상기 모드 제어 수단은,

전원이 인가되는 경우, 상기 셀 내 플로팅 게이트에 저장된 정보를 상기 셀 내 커패시터로 전달하는 리콜 모드를 더 제어하는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 6】

제4항에 있어서, 상기 모드 제어 수단은,

전원이 차단되는 경우, 전원이 완전히 사라지기 전에 상기 셀 내 커패시터에 저장된 데이터 정보를 상기 셀 내 플로팅 게이트로 전달하는 프로그램 모드를 더 제어하는 것을 특징으로

로 하는 불휘발성 디램 구동 회로.

【청구항 7】

제6항에 있어서,

상기 불휘발성 디램에 인가되는 전원의 차단을 조기에 검출하기 위한 전원 모니터링 수단; 및

상기 전원의 차단된 경우에도 상기 불휘발성 디램을 소정 시간 동작시키기 위한 축전지를 더 포함하는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 8】

제1항에 있어서,

어레이된 각 셀에 저장된 데이터를 백업하기 위한 백업용 메모리 셀 어레이 블록을 더 포함하는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 9】

제8항에 있어서,

상기 어레이된 각 셀에 저장된 데이터를 상기 백업용 메모리 셀 어레이 블록으로 백업하는 1회당 데이터량은 전원전압을 독립적으로 인가받을 수 있는 상기 백업용 메모리 셀 어레이 블록의 사이즈에 의해 결정되는 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 10】

제9항에 있어서,

상기 백업용 메모리 셀 어레이 블록의 사이즈는 상기 불휘발성 디램 셀 어레이 블록을 구성하는 복수의 बैं크 중 하나와 동일한 것임을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 11】

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 불휘발성 디램의 어레이된 셀은 플로팅 게이트형 셀인 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 12】

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 불휘발성 디램의 어레이된 셀은 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 형 셀인 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 13】

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 불휘발성 디램의 어레이된 셀은 MNOS(Metal-Oxide-Nitride-Oxide-Silicon) 형 셀인 것을 특징으로 하는 불휘발성 디램 구동 회로.

【청구항 14】

복수의 불휘발성 디램 셀을 구동함에 있어서,

상기 복수의 불휘발성 디램 셀의 셀 커패시터를 충전하는 제1 단계;

상기 복수의 불휘발성 디램 셀 중 상대적으로 문턱전압이 낮은 셀의 상기 셀 커패시터를 방전시키는 제2 단계; 및

상기 복수의 불휘발성 디램 셀을 리프레쉬하는 제3 단계

를 포함하는 것을 특징으로 하는 리콜 모드 구동 방법.

【청구항 15】

제14항에 있어서, 상기 제1 단계는,

상기 복수의 불휘발성 디램 셀의 워드 라인 전압에 "H"상태 데이터의 전압보다 "H"상태 데이터의 문턱전압이상 만큼 높은 전압을 인가하고, 상기 복수의 불휘발성 디램 셀에 "H"상태 데이터를 라이트(write)하는 것을 특징으로 하는 리콜 모드 구동 방법.

【청구항 16】

제14항에 있어서, 상기 제2 단계는,

상기 복수의 불휘발성 디램 셀의 워드 라인 전압으로 셀 플로팅 게이트에 프로그램되는 "H"상태 데이터의 문턱전압과 "L"상태 데이터의 문턱전압의 중간정도의 전압을 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 0볼트를 인가하여 소정 시간동안 대기하는 것을 특징으로

하는 리콜 모드 구동 방법.

【청구항 17】

복수의 불휘발성 디램 셀을 구동함에 있어서,

각 로우(Row)의 워드 라인 전압이 하기 수학식3

【수학식 3】 $V_{wl} = V_{blp} + (V_{th,h} + V_{th,l})/2$

- V_{blp} 는 DRAM모드 동작시의 비트라인 프리차지 전압이고, $V_{th,h}$ 은 프로그램 모드시 커패시터의 데이터가 "L"상태인 셀의 목표 프로그램 문턱 전압이며, $V_{th,l}$ 은 프로그램 모드시 커패시터의 데이터가 "H"상태인 셀의 목표 프로그램 문턱 전압임 -을 순차적으로 만족하는 제1 단계;

상기 복수의 불휘발성 디램 셀을 "H"상태로 라이트(write)하는 제2 단계; 및

상기 워드 라인 전압으로 "H"상태 데이터의 전압보다 높은 전압(V_{pp})을 인가하면서 상기 복수의 불휘발성 디램 셀을 리프레쉬하는 제3 단계

를 포함하는 것을 특징으로 하는 리콜 모드 구동 방법.

【청구항 18】

제17항에 있어서, 상기 제1 단계는,

상기 각 로우의 워드 라인 전압과 비트 라인 프리차지 전압이 상기 수학식 3을 만족하는 동안 나머지 워드 라인 전압으로 소정의 음 전압을 인가하는 것을 특징으로 하는 리콜 모드 구

동 방법.

【청구항 19】

제18항에 있어서,

상기 소정의 음전압은 상기 목표 프로그램 문턱 전압에서도 상기 셀 커패시터와 비트 라인간에 누설이 발생하지 않을 정도의 전압임을 특징으로 하는 리콜 모드 구동 방법.

【청구항 20】

복수의 불휘발성 디램 셀을 구동함에 있어서,

상기 복수의 불휘발성 디램 셀이 디램으로 동작하기에 필요한 문턱전압보다 높은 문턱 전압을 갖도록 하는 제1 단계;

상기 셀의 커패시터를 충전시키는 제2 단계;

상기 셀의 문턱 전압을 체크하는 제3 단계;

상기 셀의 문턱 전압이 목표 문턱 전압보다 높으면 상기 셀의 문턱 전압을 강하시키는 제4 단계; 및

상기 셀을 리프레쉬시키는 제5 단계

를 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 21】

제20항에 있어서, 상기 제1 단계는,

상기 셀의 워드 라인 전압으로 대략 5볼트를 인가하고, 상기 셀의 비트 라인 프리차지 전압과 바디 전압으로 대략 -3볼트를 인가하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 22】

제20항에 있어서, 상기 제2 단계는,

상기 셀의 워드 라인 전압으로 전원전압과 전자 주입으로 상승된 문턱전압의 최대치를 합한 전압보다 크거나 같은 전압을 인가하고, 상기 셀에 "H"상태 데이터를 라이트하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 23】

제20항에 있어서, 상기 제3 단계는,

상기 셀의 실제 문턱 전압이 목표 문턱 전압보다 낮으면 상기 셀의 전달 트랜지스터가 턴온되도록 하고, 높으면 상기 셀의 트랜지스터가 턴온되지 않도록 하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 24】

제20항에 있어서, 상기 제3 단계는,

상기 셀의 워드 라인 전압으로 목표 문턱 전압을 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 0볼트를 인가하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 25】

제20항에 있어서, 상기 제3 단계는,

상기 셀의 워드 라인 전압으로 0볼트를 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 음의 목표 문턱 전압을 인가하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 26】

제22항에 있어서, 상기 제4 단계는,

상기 셀 내 커패시터에 "H"상태의 데이터를 저장하는 경우에만, 상기 셀 내 플로팅 게이트 내에 갇힌 전자가 방출되도록 하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 27】

제26항에 있어서, 상기 제4 단계는,

상기 복수의 불휘발성 디램 셀의 워드 라인 전압으로 대략 -3볼트를 인가하고, 상기 셀의 커패시터의 플레이트 전압으로 0볼트로부터 대략 2.5볼트로 높여서 인가하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 28】

제20항에 있어서,

상기 복수의 불휘발성 디램 셀 모두의 셀 커패시터에 "L"가 저장될 때까지 상기 제3단계 내지 제5단계를 반복하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 29】

제20항에 있어서,

상기 제1 단계의 수행 전에 상기 복수의 불휘발성 디램 셀에 저장된 데이터를 백업하는 제6 단계

를 더 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 30】

제29항에 있어서,

상기 제6 단계를 수행하는 도중에 상기 데이터의 논리상태를 반전시키는 단계

를 더 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 31】

제29항에 있어서,

상기 제5 단계의 수행 후, 백업해 두었던 데이터를 상기 복수의 불휘발성 디램 셀에 재 저장하는 하는 제7 단계



를 더 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 32】

제30항에 있어서,

상기 제7 단계를 수행하는 도중에 상기 데이터의 논리상태를 반전시키는 단계

를 더 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 33】

제20항에 있어서,

상기 복수의 불휘발성 디램의 어레이된 셀은

SONOS(silicon-oxide-nitride-oxide-silicon) 형 셀인 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 34】

제33항에 있어서,

상기 제1 단계와 상기 제2 단계 사이에 상기 나이트라이드층 중 소스측에 근접한 부분에 갇힌 전자를 방출시키는 제6 단계

를 더 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 35】

제33항에 있어서,

상기 셀의 워드 라인 전압으로 대략 -3볼트를 인가하고, 상기 셀의 비트 라인 프리차지 전압으로 대략 +5볼트를 인가하는 제6 단계

를 더 포함하는 것을 특징으로 하는 셀 문턱 전압 정상화 모드 구동 방법.

【청구항 36】

복수의 불휘발성 디램 셀을 구동함에 있어서,

상기 복수의 불휘발성 디램 셀을 리프레쉬하는 제1 단계;

상기 복수의 불휘발성 디램 셀 중 셀 커패시터의 데이터가 "H"상태인 셀의 문턱 전압을 목표 프로그램 문턱 전압에 도달했는지를 체크하는 제2 단계; 및

상기 복수의 불휘발성 디램 셀 중 셀 커패시터에 저장된 정보의 논리상태에 따라 셀 플로팅 게이트 내 전자를 선택적으로 방출시켜 문턱 전압을 강하시키는 제3 단계

를 포함하는 것을 특징으로 하는 프로그램 모드 구동 방법.

【청구항 37】

제36항에 있어서,

상기 복수의 불휘발성 디램 셀의 모든 셀 커패시터의 데이터가 "L"상태를 가질 때까지 상기 제1 내지 상기 제3 단계를 반복하는 것을 특징으로 하는 프로그램 모드 구동 방법.

【청구항 38】

제37항에 있어서, 상기 제2 단계는,

상기 복수의 불휘발성 디램 셀의 모든 셀의 워드 라인 전압(V_{wl})으로 목표 프로그램 문턱 전압 - 상기 목표 프로그램 문턱 전압은 0볼트-을 인가하고, 비트라인 프리차지 전압(V_{blp})으로 0볼트를 소정시간 동안 인가하는 것을 특징으로 하는 프로그램 모드 구동 방법.

【청구항 39】

제37항에 있어서, 상기 제3 단계는,

상기 복수의 불휘발성 디램 셀 중 셀 커패시터의 데이터가 "H"상태인 셀의 셀 플로팅 게이트 내 전자를 셀 커패시터쪽으로 방출시키는 것을 특징으로 하는 프로그램 모드 구동 방법.

【청구항 40】

제37항에 있어서, 상기 제3 단계는,

상기 복수의 불휘발성 디램 셀의 모든 셀의 워드 라인 전압을 약 -3볼트로 강하시키고 셀 커패시터의 플레이트 전압을 2.5볼트 정도로 상승시키는 것을 특징으로 하는 프로그램 모드 구동 방법.

【청구항 41】

제13 내지 제32항 및 제36 내지 40항 중 어느 한 항에 있어서,



상기 불휘발성 디램의 어레이된 셀은 플로팅 게이트형 셀인 것을 특징으로 하는 구동 방법.

【청구항 42】

제13 내지 제32항 및 제36 내지 40항 중 어느 한 항에 있어서,

상기 불휘발성 디램의 어레이된 셀은 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 형 셀인 것을 특징으로 하는 구동 방법.

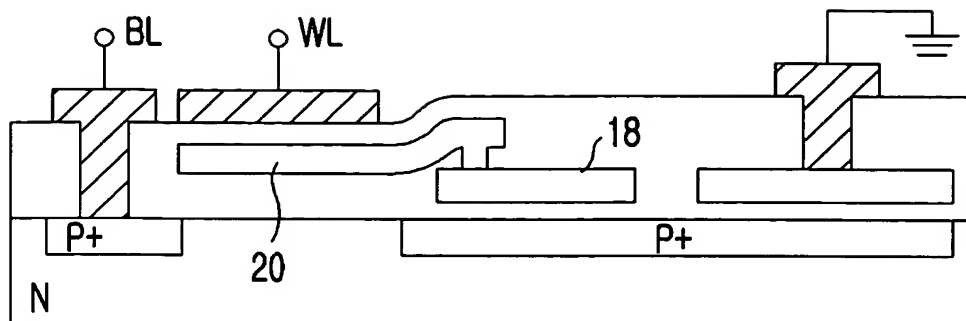
【청구항 43】

제13 내지 제32항 및 제36 내지 40항 중 어느 한 항에 있어서,

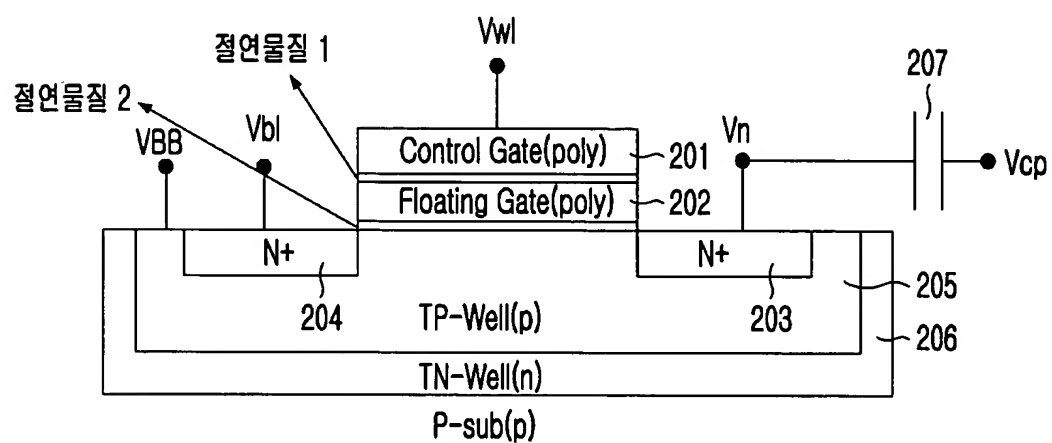
상기 불휘발성 디램의 어레이된 셀은 MNOS(Metal-Oxide-Nitride-Oxide-Silicon) 형 셀인 것을 특징으로 하는 구동 방법.

【도면】

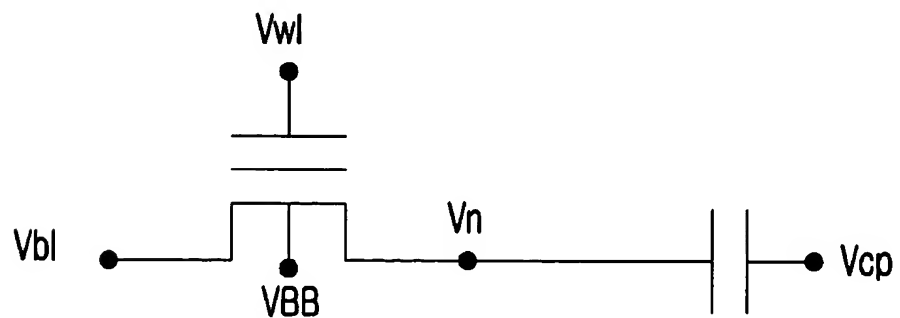
【도 1】



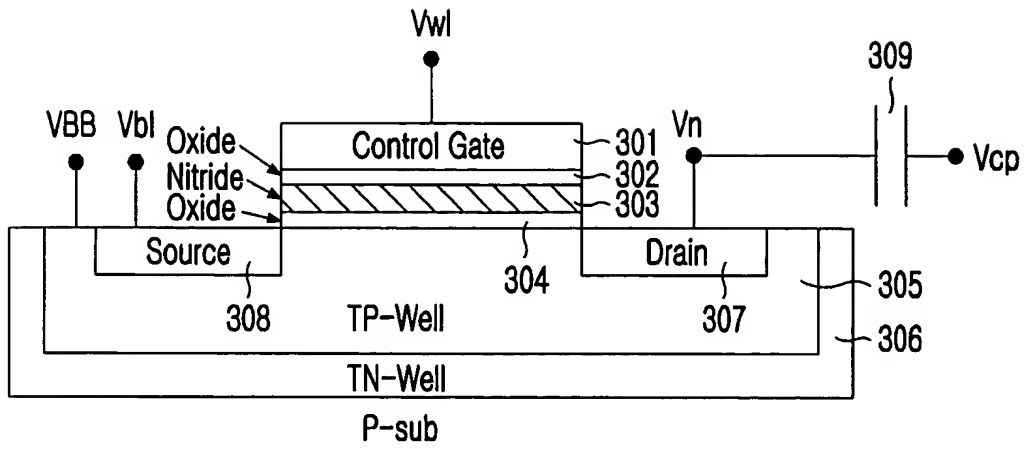
【도 2a】



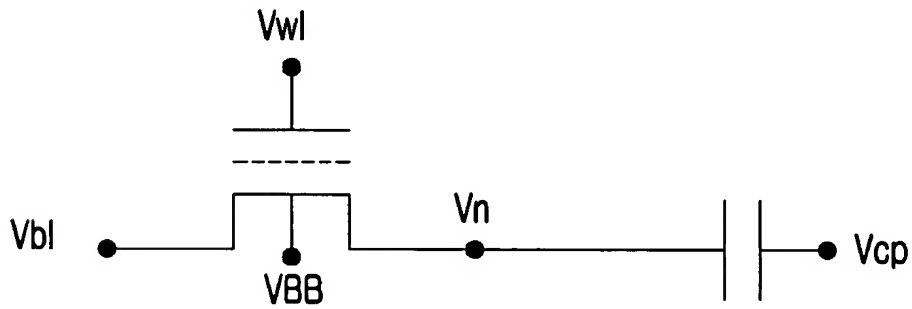
【도 2b】



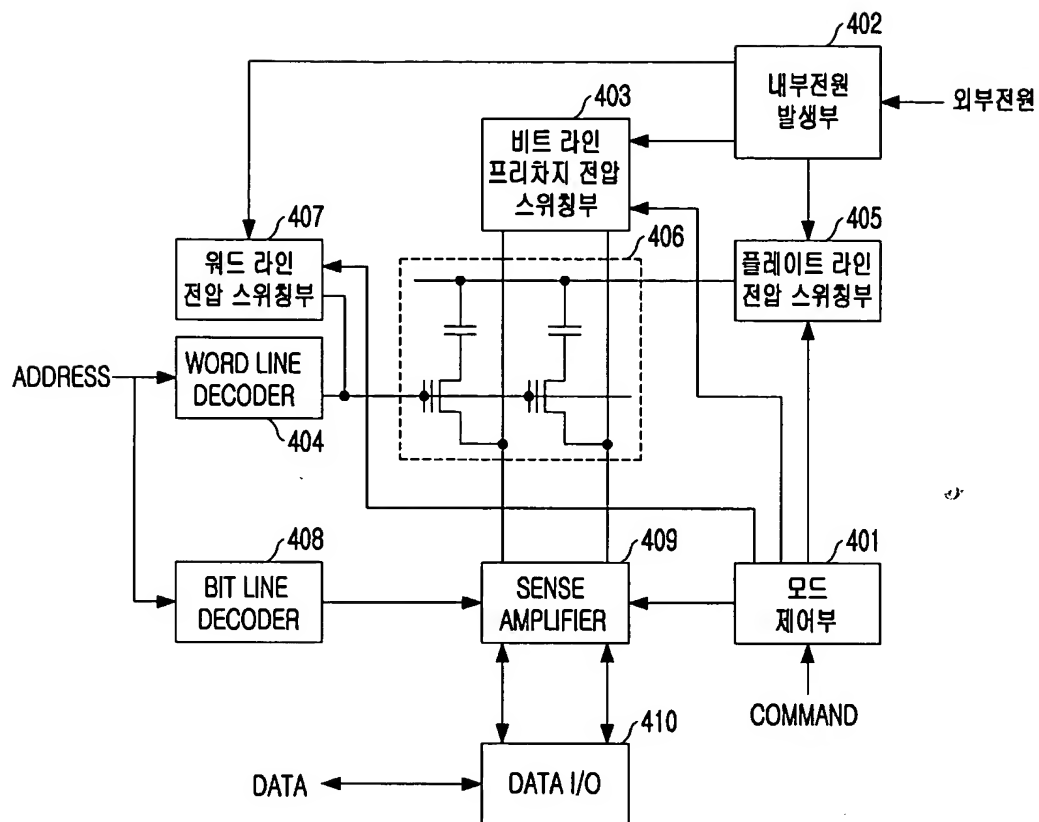
【도 3a】



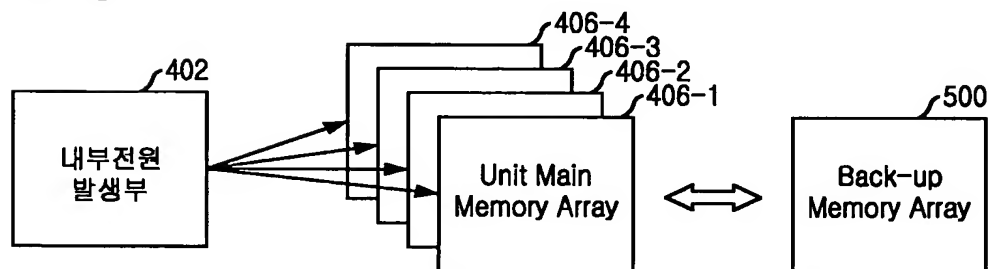
【도 3b】



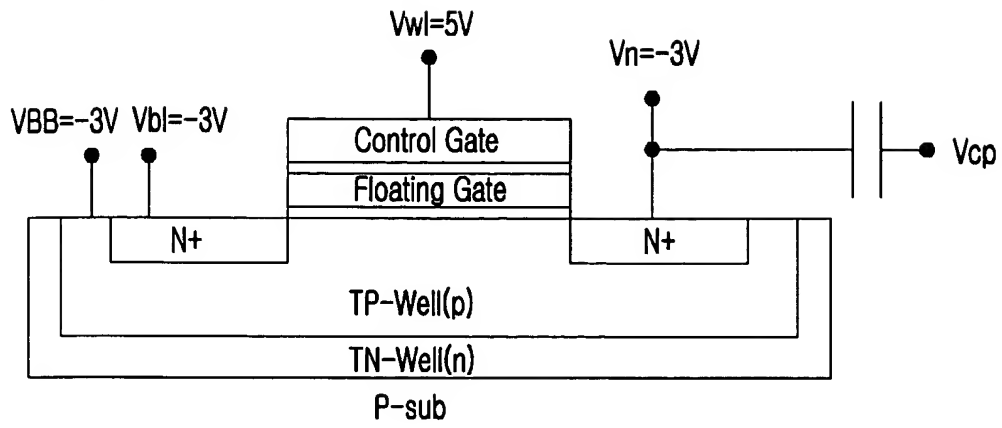
【도 4】



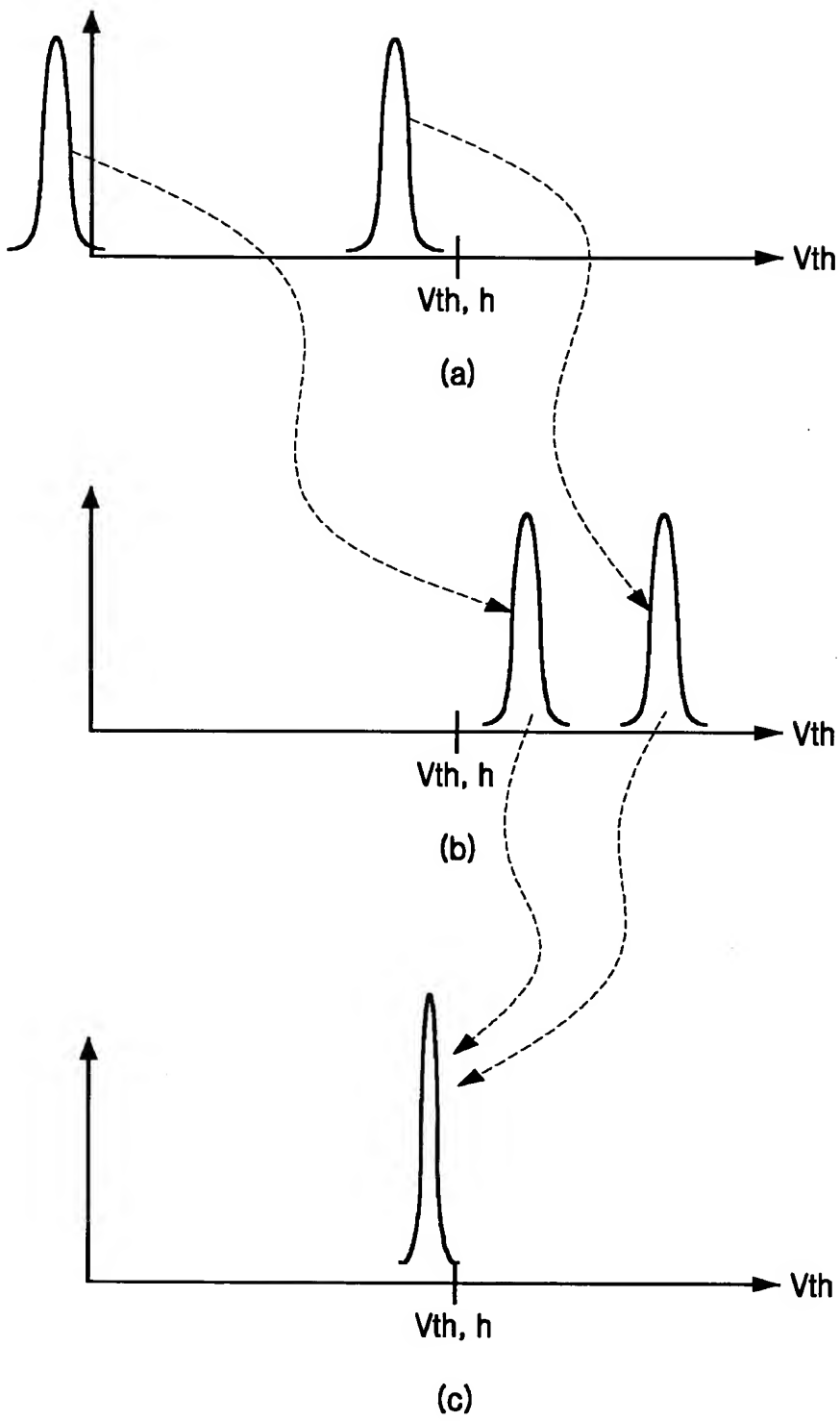
【도 5】



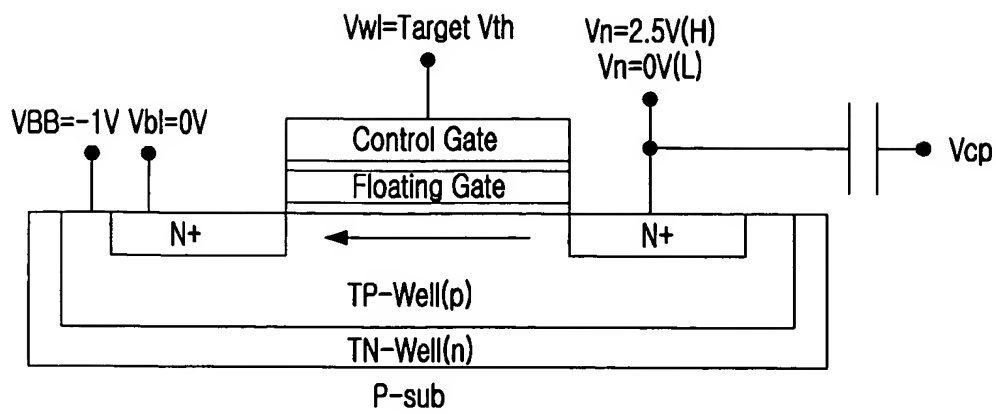
【도 6】



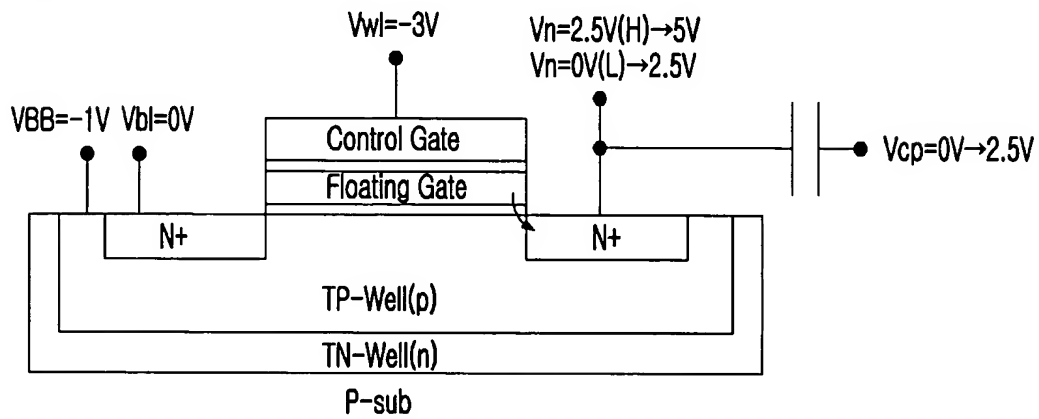
【도 7】



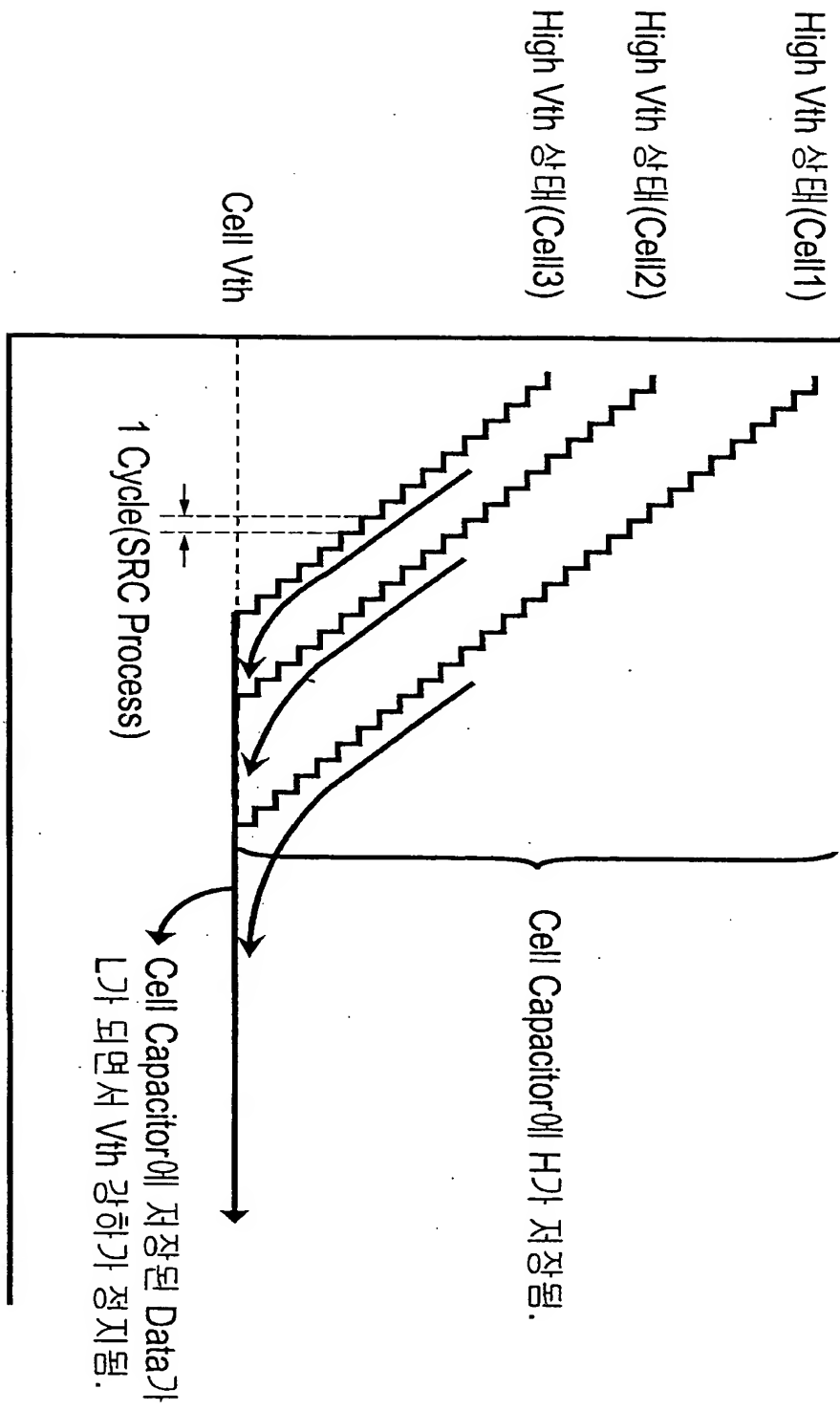
【도 8】



【도 9】



【도 10】



【도 11】

 V_{th} 